

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-011475

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

G06F 17/50

(21)Application number : 08-167902

(71)Applicant : NEC CORP

(22)Date of filing : 27.06.1996

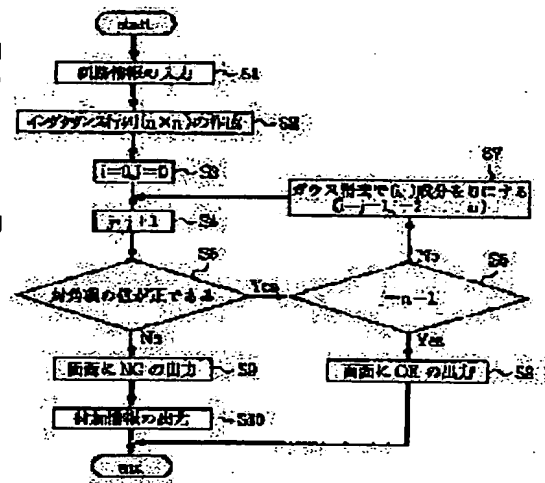
(72)Inventor : SAKAMOTO AKIHIRO

(54) CIRCUIT SIMULATING METHOD

(57)Abstract

PROBLEM TO BE SOLVED: To make it possible to judge whether or not a circuit is passive fast and to specify what causes the circuit not to be passive before a circuit simulator analyzes circuit characteristics.

SOLUTION: Circuit information on an electronic circuit to be simulated is inputted (S1) and it is judged that a linear element circuit included in the circuit is passive, i.e., whether the circuit is a circuit which always consumes electric power. In this process, an inductance matrix of the circuit is generated (S2) and it is checked whether or not the inductance matrix is plus by finding the value of its small matrix expression (S5); when the diagonal term of the matrix is plus, it is judged that the circuit is passive (S6 and S8) and when not, it is judged that the circuit is not passive (S5 and S9). In this case, additional information showing what causes the circuit not to be passive is outputted from the information of the said small matrix expression (S10).



LEGAL STATUS

[Date of request for examination] 27.06.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2976888

[Date of registration] 10.09.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 11475

(43) 公開日 平成 10 年 (1998) 1 月 16 日

(51) Int. Cl.
G06F 17/50

識別記号 庁内整理番号

F I
G06F 15/60

662 G

技術表示箇所

審査請求 有 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平 8 - 167902

(22) 出願日 平成 8 年 (1996) 6 月 27 日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目 7 番 1 号

(72) 発明者 坂本 明広

東京都港区芝五丁目 7 番 1 号 日本電気株式
会社社内

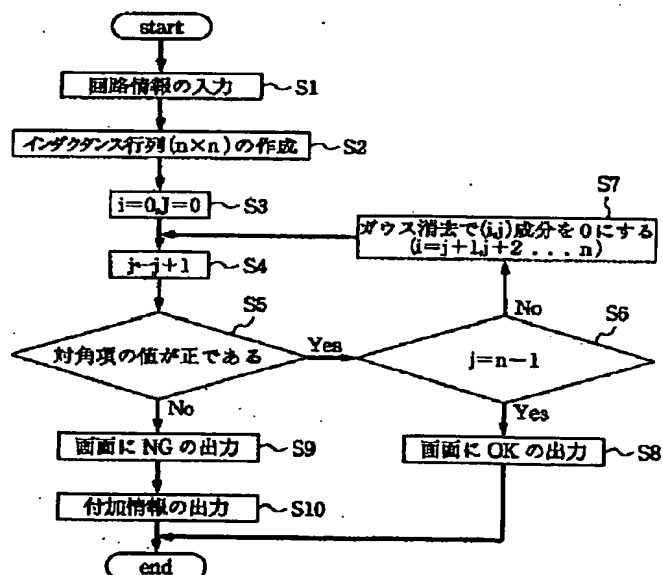
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 回路シミュレーション方法

(57) 【要約】

【課題】 回路シミュレータで回路特性を解析する前に、その回路が受動的であるか否かを高速に判断できると共に、その受動的でない原因の特定を可能とする。

【解決手段】 シミュレーションすべき電子回路の回路情報を入力し (S1)、この回路内に含まれる線形素子回路が受動的であること、すなわち常に電力を消費する回路であるか否かを判断する。この工程では、電子回路のインダクタンス行列をつくり (S2)、このインダクタンス行列が正値か否かをその小行列式の値を求めてチェックし (S5)、その行列の対角項が正値であれば受動的であると判断し (S6, 8)、正値でなければ受動的でないと判断し (S5, S9)、その時には前記小行列式の情報から受動的でない原因である付加情報を出力する (S10)。



【特許請求の範囲】

【請求項 1】 シミュレーションすべき電子回路の回路情報を入力し、この回路内に含まれる線形素子回路が受動的であること、すなわち常に電力を消費する回路であるか否かを判断し、そのデータを出力する回路診断工程を有することを特徴とする回路シミュレーション方法。

【請求項 2】 回路診断工程が、電子回路のインダクタンス行列をつくり、このインダクタンス行列が正值か否かをその小行列式の値を求めてチェックし、その行列の対角項が正值であれば受動的であると判断し、正值でなければ受動的でない判断し、その時には前記小行列式の情報から受動的でない原因である付加情報を出力する請求項 1 記載の回路シミュレーション方法。

【請求項 3】 小行列式の値を、行列をガウス消去により計算して得られるその行列の対角項の値により判断すると共に、付加情報を、正值でない箇所を局所化してこの箇所のインダクタンス行列の情報とする請求項 2 記載の回路シミュレーション方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、電子回路のシミュレーション方法に関し、特に線形素子からなる回路のインダクタンスおよび相互インダクタンスの値に不正があるものを検出できる回路シミュレーション方法に関する。

【 0 0 0 2 】

【従来の技術】従来、電子回路の電気特性を解析するために S P I C E に代表される回路シミュレータが使用されている。この回路シミュレータは、図 6 に示されるように、回路素子の接続関係を含む回路構成 2 2 と、抵抗値、相互インダクタンス値、トランジスタのモデルパラメータ等を含む素子特性 2 3 との回路情報 2 1 を入力とし、回路シミュレーション部 2 0 で、回路の直流特性、スイッチング特性等を解析する機能を持ち、その結果を回路特性ファイル 2 4 に出力している。その結果により、回路設計者は設計結果の確認、設計案の選択等を行なう。

【 0 0 0 3 】この S P I C E 等の回路シミュレータで回路特性を解析をする場合、対象となる回路のパラメータが不正であると正常に解析できない場合があり、特に相互インダクタンスの素子特性に不正がある場合には、本来受動的であるべき線形回路素子網が受動性を失うことがある。この場合には、回路の節点電圧が発振してしまいシミュレーションが出来なくなる。このように回路の受動性を調べるには一般に回路行列の固有値の実数部が全て正であることを調べればよい。

【 0 0 0 4 】また、他の従来技術として特開平 7 - 1 2 9 6 3 7 号公報には、回路シミュレータの過渡解析を利用して回路行列の固有値を表示する方法が示されている。図 7 はこの従来技術を説明するフロー図である。ま

ず、ステップ S 2 1 で、回路情報を入力し、ステップ S 2 2 で固有値を計算する時間 T c a l を設定し、次にステップ 2 3、2 4 で回路行列を作成しその直流解析を行なう。そしてステップ S 2 5 で過渡解析を行ない、その解析時間が時間 T c a l になった時のマトリックスデータを磁気ディスクに書き込む。この過渡解析の終了後 (S 3 1 ~ S 3 6)、ステップ 2 6 の固有値表示処理として、マトリックスデータを読出し (S 3 7) その固有値を計算する (S 3 8)、そしてこの固有値の実数部を X 座標に、その虚数部を Y 座標に表示している (S 3 9)。

【 0 0 0 5 】

【発明が解決しようとする課題】上述した従来技術 (図 7) では、次のような問題がある。まず、回路シミュレーションを利用してデータを作成しているため、この回路シミュレーションが必ず実行され、回路シミュレーションを実行する前にこの回路が受動的であるか否かをチェックすることが出来ない。また、回路行列から固有値を求めるのは、行列の字数が大きいとその計算に時間がかかるため、解析対象回路が大規模の場合には適さない。

【 0 0 0 6 】さらに、図 7 では固有値を表示した座標を目視により受動的でない回路と判断することができるが、その受動的でない原因が何か、すなわち回路内のどの辺りの素子に問題があるか判断することが出来ない。それは、試行錯誤で回路情報を変更してその固有値をチェックするという作業を繰り返し実行しなければその受動的でない原因が分からないためである。

【 0 0 0 7 】本発明の目的は、回路シミュレータで回路特性を解析する前に、その回路が受動的であるか否かを判断でき、この判断を高速にできると共に、その原因の特定を可能とした回路シミュレーション方法およびその装置を提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】本発明の回路シミュレーション方法の構成は、シミュレーションすべき電子回路の回路情報を入力し、この回路内に含まれる線形素子回路が受動的であること、すなわち常に電力を消費する回路であるか否かを判断し、そのデータを出力する回路診断工程を有することを特徴とする。

【 0 0 0 9 】また本発明において、回路診断工程が、電子回路のインダクタンス行列をつくり、このインダクタンス行列が正值か否かをその小行列式の値を求めてチェックし、その行列の対角項が正值であれば受動的であると判断し、正值でなければ受動的でない判断し、その時には前記小行列式の情報から受動的でない原因である付加情報を出力することができ、また小行列式の値を、行列をガウス消去により計算して得られるその行列の対角項の値により判断すると共に、付加情報を、正值でない箇所を局所化してこの箇所のインダクタンス行列の情報とすることができる。

【 0 0 1 0 】本発明の動作原理は、シミュレーションのために与えられた回路内からインダクタンスのサブ回路を切出してインダクタンス行列をつくり、この回路が受動的であるか否かを、そのインダクタンス行列が正値であるか否かで判断する。すなわち、回路のインダクタンス行列の $(D_i / D_{i-1}) > 0$ ($i = 1, 2, \dots, n$; D_i はインダクタンス行列の i 行 i 列までの小行列式で

$$\Lambda = J^E L J = \sum_{i=1}^n \lambda_i |Y|^2 > 0 \quad \dots\dots\dots (2)$$

【 0 0 1 3 】ここで J^E は電流ベクトル J のエルミート共役を示し、この行列 L が正値であるための条件は、インダクタンス行列 L の固有値 λ_i が全て正であることと同じである。すなわち、 $\lambda_i > 0$ ($i = 1, 2, \dots, n$) である。

(2) これは、図 3 (b) のように、図 3 (a) の電流ベクトル J_i のうち $i = 1, 2, \dots, n-1$ の電流ベクトルを短絡して電流ベクトル J_i^R ($i = 1, 2, \dots, n-1$) とし、電流ベクトル J 、だけつないだ状態を考えると、(1) 式は (3) 式のような回路方程式となる。20 この式から次の (4) (5) 式が導かれる。なお、 $l_{\mu\nu}$ は行列 L の $(\mu\nu)$ 成分を示す。

$$\begin{aligned} \Lambda &= \sum_{\mu=1}^n \sum_{\nu=1}^n J_{\mu}^* l_{\mu\nu} J_{\nu} \\ &= \sum_{\mu=1}^{n-1} \sum_{\nu=1}^{n-1} (J_{\mu}^* - J_{\mu}^{*R}) l_{\mu\nu} (J_{\nu} - J_{\nu}^R) + \frac{D_n}{D_{n-1}} |J_n|^2 \\ &\quad \dots\dots\dots (6) \end{aligned}$$

【 0 0 1 7 】同様にして、電流ベクトル J_i のみを短絡した状態までを考えると、次の (7) 式に変形すること

$$\Lambda = D_1 |J_1|^2 + \frac{D_2}{D_1} |J_2|^2 + \dots + \frac{D_n}{D_{n-1}} |J_n|^2 > 0 \quad \dots\dots\dots (7)$$

【 0 0 1 9 】これはまたハイブリッドな回路行列にも自然に拡張でき、従って次の (8) 式をチェックすることが固有値をチェックすることと同じになる。

$$\frac{D_i}{D_{i-1}} > 0 \quad (i=1, 2, \dots, n) \quad \dots\dots\dots (8)$$

【 0 0 2 1 】(3) このチェックしたい小行列式の値は、ガウス消去法と同一アルゴリズムで計算することができる。これを、図 4 の模式図で示した 3 行 3 列の行列 $[a_{11} \sim a_{33}]$ の場合で説明する。この 3 行 3 列の行列が正値であるか否かの判断は、行列 D_{11} (D_{11} / D_{11}),

$D_{22} = 1$ とする) をチェックする。

【 0 0 1 1 】(1) 一般に、図 3 (a) のように、電流ベクトル J_i につながった回路のインダクタンス行列 L は、電圧ベクトル U_i とすると、(1) 式によりに示され、これは次の (2) 式で示される。

【 0 0 1 2 】

$$U_n = \frac{D_n}{D_{n-1}} J_n \quad \dots\dots\dots (4)$$

$$\sum_{\nu=1}^{n-1} l_{\mu\nu} J_{\nu}^R = -l_{\mu n} J_n \quad \dots\dots\dots (5)$$

【 0 0 1 5 】これらの式からインダクタンス行列の 2 次形式が次の (6) 式に変形され、ここで電流ベクトル J は電流ベクトル J の複素共役を示す。

【 0 0 1 6 】

が出来る。

【 0 0 1 8 】

(D_i / D_{i-1}) の値の正負をチェックする。この値は、図 4 のステップ A の行列の次式

$$D_{11} = a_{11} > 0 \quad \dots\dots\dots (9)$$

$$a_{11} > 0 \quad \dots\dots\dots (10)$$

$$a_{11} > 0 \quad \dots\dots\dots (11)$$

と同様である。また次のステップ B でガウス消去して計算した次の (12) (13) 式、およびさらに次のステップ C でガウス消去して計算した次の (14) 式と同様である。

【 0 0 2 2 】

$$\frac{D_2}{D_1} = \frac{\begin{vmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{vmatrix}}{a_{11}} = a'_{22} > 0 \dots\dots\dots (12)$$

$$\frac{\begin{vmatrix} a_{11} & a_{13} \\ a_{31} & a_{33} \end{vmatrix}}{a_{11}} = a'_{33} > 0 \dots\dots\dots (13)$$

$$\frac{D_3}{D_2} = \frac{\begin{vmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{vmatrix}}{\begin{vmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{vmatrix}} = a''_{33} > 0 \dots\dots\dots (14)$$

【0023】(4) このようにインダクタンス行列が正値であるか否かは、インダクタンス行列の対角項の全てをチェックすることで判断することができる。これは、

(9) (12) (14) 式をチェックするだけでなく、ガウス消去で計算される対角項も含んだ (10) (11) (13) 式もチェックすることである。これにより受動的でない原因の局部化、計算量の減少が期待できる。それは、(10) 式をチェックすることにより、

(12) 式を満足しない場合の1つの $a_{ii} \leq 0$ をチェックできるため、その原因が a_{ii} であると分る。なお、ステップAで(10) 式をチェックすれば、ガウス消去で行列をステップBで変換する前に(12) 式を満足しない場合の1つを判断でき、同様に(11) (13) 式をチェックすると次のステップの行列に変換する前に行列の受動的でないことを判断でき、その原因を局部化でき、計算量を減少させることができる。

【0024】このように本発明の構成によれば、次の特徴がある。

(1) 回路のインダクタンス行列からこの回路が受動的かどうかを判断することができ、SPICE等の回路シミュレータが実行する前に、その判断ができる。

(2) 行列の正值をガウス消去による小行列式の値から判断するので、例えばヤコビ法等で固有値を求め、この固有値からその正值を判断するよりも、高速に判断することができる。

(3) ガウス消去で値を求めることにより、受動的でない原因の局部化ができ、さらにその計算量を減少することができる。

【0025】

【発明の実施の形態】以下本発明について図面を参照して説明する。図1は本発明の一実施の形態を説明するブ

ロック図である。この回路シミュレーションシステム10は、受動性チェックシステム11と、SPICE等の回路シミュレータ12とからなり、回路情報ファイル13から入力されて、そのチェック結果が受動的であるか否かを表示装置14にOKまたはNGと表示すると共に、受動的でない場合にその原因を付加情報ファイル15に出力し、またその解析結果を解析結果ファイル16に出力する。

【0026】この受動的であるか否かの判定は、図2の処理フロー図に示される。まずステップS1で、回路情報ファイル13から回路情報を入力し、ステップS2で、そのインダクタンス行列 ($n \times n$) を作成する。そして、この行列の対角項の値をチェックする (ステップS3~5)。図4の3列3行の行列の場合は、まず、 $a_{11} > 0$ か否かをチェックし、 $a_{11} \leq 0$ であれば1番目のインダクタンスに関する回路情報が受動的でないと分る。同様にして $a_{22} > 0$ 、 $a_{33} > 0$ もチェックしこれらが全て満足するなら、図4のように(12) (13) 式のガウス消去法を用いて a_{11} 、 a_{22} を0にする (ステップS6、7)。次に $a'_{11} > 0$ をチェックし、 $a'_{11} \leq 0$ であれば、1、2番目に関する回路情報が受動的でない原因と分る。同様にして $a'_{22} > 0$ もチェックし、両方とも正值であれば(14) 式により a''_{33} を0にする。最後に $a''_{33} > 0$ をチェックし、 $a''_{33} \leq 0$ であれば、1、2、3番目に関する回路情報が受動的でない原因と分る。

【0027】このように図2において、行列の対角項が正值であるか否かを (n 、 $n-1$) 成分を0にした時まで、すなわち行列が三角行列になる時まで繰り返す。これらが全て満足であれば、ステップS8で表示画面にOKを出力して終了とし、この間に満足しない場合があ

ると、ステップ S 9 で画面に N G を出力して終了とする。

【 0 0 2 8 】

【実施例】次に、図 5 の回路について受動的か否かを判断する場合を説明する。この回路は、1 m H のインダクタンス L 1 (L 2 , L 3) と抵抗の回路が並列接続され、かつインダクタンス L 2 , L 1 とインダクタンス L

$$L = \begin{pmatrix} 1.0000e-03 & 6.5000e-04 & 0.0000e+00 \\ 6.5000e-04 & 1.0000e-03 & 7.8000e-04 \\ 0.0000e+00 & 7.8000e-04 & 1.0000e-03 \end{pmatrix} \dots\dots\dots (16)$$

【 0 0 3 0 】これをステップ A として、行列の対角項の正負をチェックすると、この場合 a_{11} , a_{22} , a_{33} は $1.0000e-03$ で全て正であるので、L 1 , L 2 , L 3 の回路情報が正しいと判断する。次に、ステップ B で、

$$L = \begin{pmatrix} 1.0000e-03 & 6.5000e-04 & 0.0000e+00 \\ 0.0000e+00 & 5.7750e-04 & 7.8000e-04 \\ 0.0000e+00 & 7.8000e-04 & 1.0000e-03 \end{pmatrix} \dots\dots\dots (17)$$

【 0 0 3 2 】この行列の (2 , 2) (3 , 3) 成分の正負をチェックする。この場合も a_{22} , a_{33} は $5.7750e-04$, $1.0000e-03$ で両方とも正であるので、L 1 , L 2 , L 3 の回路情報が正しいと判断する。最後に、ステ

$$L = \begin{pmatrix} 1.0000e-03 & 6.5000e-04 & 0.0000e+00 \\ 0.0000e+00 & 5.7750e-04 & 7.8000e-04 \\ 0.0000e+00 & 0.0000e+00 & -5.3506e-05 \end{pmatrix} \dots\dots\dots (18)$$

【 0 0 3 4 】この行列の (3 , 3) 成分の正負をチェックする。この場合 a_{33} は $-5.3506e-05$ で負であるので、L 1 , L 2 , L 3 との関係の回路情報が正しくないと判断し、この回路が受動的でないと判断する。

【 0 0 3 5 】

【発明の効果】以上説明したように本発明によれば、S P I C E 等の回路シミュレータ等で回路の過渡解析処理等で原因不明の発散の発生が避けられ、回路シミュレータで回路特性を解析する前に、その回路が受動的である否かを判断することができる。また、回路シミュレーションの過渡解析の計算や行列の固有値を求める計算が不要となり、行列をガウス消去する計算のみをすればよい

ため、その計算時間が少なくて済み、さらに受動的でない箇所をすぐ出力することができるという効果がある。

【図面の簡単な説明】

【図 1】本発明の一実施形態を説明するブロック図である。

【図 2】本実施形態の処理動作を説明するフロー図である。

2 , L 3 とで 0 . 6 5 , 0 . 7 8 の相互インダクタンスがあるとしている。この場合のインダクタンス行列は図 5 のように (1 5) 式に示されるが、これを次の (1 6) 式で表す。なお、インダクタンスの数値表現として、例えば 1 m H , 0 . 6 5 m H の場合それぞれ $1.0000e-03$, $6.5000e-04$ と表現している。

【 0 0 2 9 】

(1 2) (1 3) 式のガウス消去の計算をし、次の (1 7) 式を得る。

【 0 0 3 1 】

ップ C で、(1 4) 式のガウス消去の計算をし、次の (1 8) 式を得る。

【 0 0 3 3 】

【図 3】本発明の動作原理を説明するブロック図である。

【図 4】図 3 のガウス消去法を説明する行列式の模式図である。

【図 5】図 4 の実施例を説明する回路図である。

【図 6】従来例の回路シミュレーションを説明するフロー図である。

【図 7】従来例の他の回路シミュレーションを説明するフロー図である。

【符号の説明】

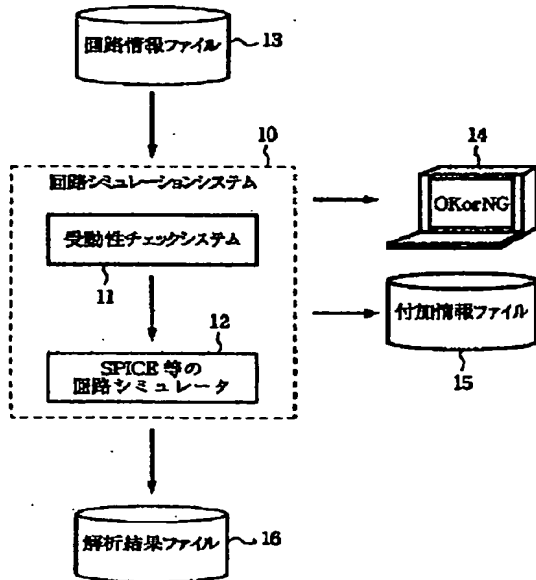
- 1 0 回路シミュレーションシステム
- 1 1 受動性チェックシステム
- 1 2 回路シミュレータ
- 1 3 回路情報ファイル
- 1 4 表示装置
- 1 5 付加情報ファイル
- 1 6 解析結果ファイル
- 2 0 回路シミュレーション部
- 2 1 回路情報ファイル

2 2 回路構成ファイル
2 3 素子特性ファイル

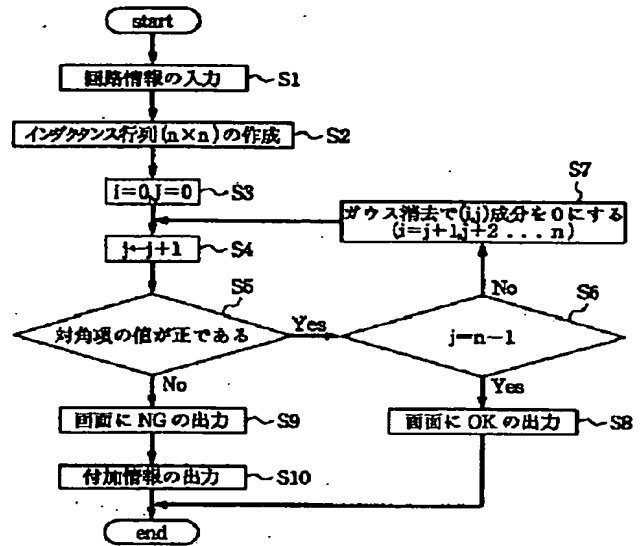
2 4 回路特性出力部

S 1 ~ S 1 0, S 2 1 ~ S 3 9 処理ステップ

【図 1】

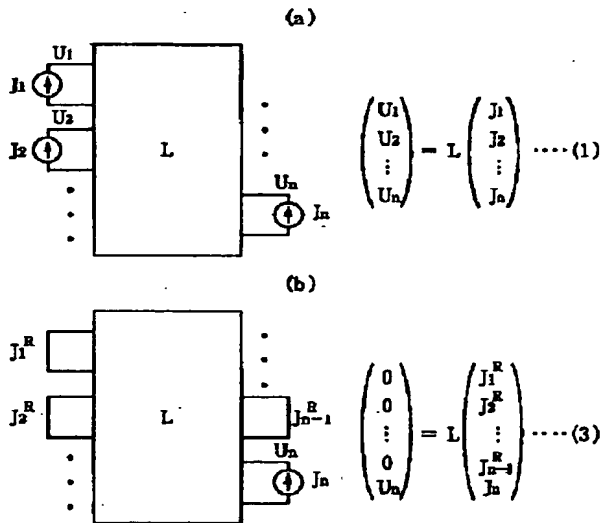


【図 2】

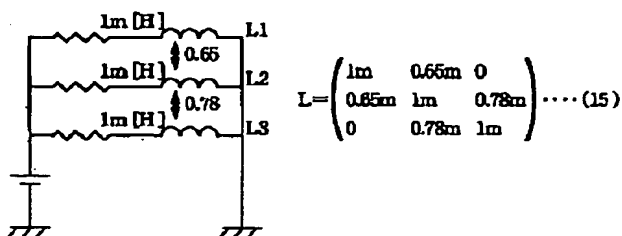


【図 4】

【図 3】



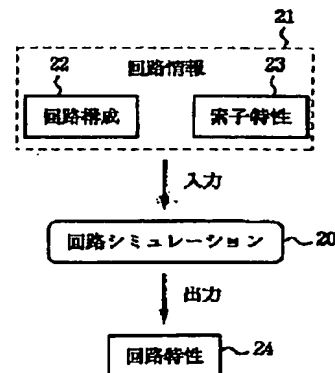
【図 5】



ガウス消去

$$\begin{array}{ccc}
 \text{stepA} & \text{stepB} & \text{stepC} \\
 \begin{pmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{pmatrix} & \begin{pmatrix} a_{11} & a_{12} & a_{13} \\ 0 & a'_{22} & a'_{23} \\ 0 & a'_{32} & a'_{33} \end{pmatrix} & \begin{pmatrix} a_{11} & a_{12} & a_{13} \\ 0 & a'_{22} & a'_{23} \\ 0 & 0 & a''_{33} \end{pmatrix}
 \end{array}$$

【図 6】



(図 7)

